1. Cơ chế ống dẫn pipeline

* Pipeline là một kỹ thuật mà trong đó các lệnh được thực thi theo kiểu chồng lấn lên nhau (overlap).
* Các giai đoạn
  1. Lấy lệnh (FO: Fetch Operation),
  2. Giải mã (DE: Decode),
  3. Thi hành (EX : Execute),
  4. Thâm nhập bộ nhớ (MEM : Memory access),
  5. Lưu trữ kết quả (RS: Result Storing).

*a,Lấy lệnh*

* + Cache lệnh trên các máy có độ trễ của một xung (clock cycle), trong giai đoạn nạp lệnh, một lệnh 32 bits (4 bytes) được nạp vào từ cache.
  + Bộ đếm chương trình (PC) là thanh ghi chứa địa chỉ lệnh hiện thời, nạp vào bộ đếm dự báo, sau đó gửi PC đến cache lệnh để đọc lệnh.
  + Sau đó PC dự báo dự báo địa chỉ lệnh tiếp theo bằng cách tăng bộ đếm lên 4 (4 bytes – 32 bits), đây là cơ chế mặc định, thực thi tuần tự.
  + Cơ chế trên luôn sai trong trường hợp chương trình rẽ nhánh, nhảy hay xảy ra ngoại lệ (địa chỉ lệnh thay đổi thay vì tuần tự).
  + Các bộ xử lý về sau có các thuật toán phức tạp và chính xác hơn (dự đoán rẽ nhánh, dự đoán đích rẽ nhánh) để đoán lệnh tiếp theo.

*b, Giải mã*

* + Sau khi nạp từ cache lệnh, bits lệnh chuyển xuống ống dẫn, mạch logic tổ hợp đơn giản tạo tín hiệu điều khiển các đường dẫn dữ liệu trực tiếp từ các bits lệnh.
  + Các lệnh của kiến trúc MIPS, SPARc có tối đa 2 thanh ghi đầu vào. Trong ID, tên 2 thanh ghi được nhận dạng trong câu lệnh, và được đọc từ tệp thanh ghi. Tệp thanh ghi có 32 mục.
  + Các bộ phận của câu lệnh được phân phối tới nơi thực hiện trong giai đoạn này.
  + Nếu điều trên không xảy ra, nó sẽ gây ra trễ với giai đoạn nạp và dịch lệnh mới, ngăn chặn việc nạp các bit lệnh mới.
  + Nếu câu lệnh được giải mã là rẽ nhánh hay nhảy, địa chỉ mục tiêu nhảy tới được nạp vào bộ đếm dự báo thay cho việc dịch tuần tự 4 bytes.

*c, Thi hành*

* + Là giai đoạn xảy ra tính toán, bao gồm một bộ số học và logic (ALU), cùng một bộ dịch bit.
  + ALU chịu trách nhiệm thực hiện các phép toán boolean (AND, OR…) và thực hiện phép cộng, trừ số nguyên.
  + ALU cung cấp các bit trạng thái như kết quả là 0 hay không, hay báo tràn.
  + Bộ dịch bit giúp dịch chuyển và xoay vòng.

*d, Thâm nhập bộ nhớ*

* + Nếu bộ nhớ dữ liệu cần phải được truy cập, nó được thực hiện trong giai đoạn này.
  + Trong giai đoạn này, các câu lệnh có độ trễ đơn giản có kết quả được chuyển đến giai đoạn kế tiếp. Việc chuyển tiếp đảm bảo các câu lệnh đơn và đôi chu kỳ luôn được viết kết quả của chúng trong cùng một giai đoạn của ống dẫn.

*e, Lưu trữ kết quả*

* + Các câu lệnh ghi kết quả của chúng vào tệp thanh ghi.

1. So sánh kỹ thuật ống dẫn và siêu ống dẫn
   * 1. Kỹ thuật ống dẫn

* Ưu điểm :
* Cách tiếp cận dùng kỹ thuật pipeline tiêu tốn ít thời gian hơn cho tất cả các công việc hoàn tất bởi vì các công việc được thực hiện song song, vì vậy số công việc hoàn thành trong một giờ sẽ nhiều hơn so với không pipeline.
* Pipeline không làm giảm thời gian hoàn thành một công việc mà làm giảm thời gian hoàn thành tổng số công việc
* Khó khăn và cách khắc phục : Khi thi hành lệnh trong một máy tính dùng kỹ thuật ống dẫn, có nhiều trường hợp làm cho kỹ thuật ống dẫn không thực hiện được hoặc thực hiện không hiệu quả:
* Khó khăn do cấu trúc : thiếu bộ phận chức năng (ALU, PC, IR, …)

=> cần trang bị thêm các bộ phận chức năng cần thiết và hiệu quả

* Khó khăn do số liệu : lệnh kế sau có sử dụng kết quả của lệnh trước => cần trang bị thêm bộ phận phần cứng đặc biệt để đưa kết quả ở ngã ra ALU, trực tiếp vào một trong các thanh ghi ngã vào
* Khó khăn do điều khiển : các lệnh nhảy làm thay đổi tính tuần tự khi thi hành các lệnh => đóng băng kỹ thuật ống dẫn trong một chu kỳ hoặc thi hành lệnh sau lệnh nhảy
  + 1. Siêu ống dẫn : Kỹ thuật siêu ống dẫn bậc n bằng cách chia các giai đoạn của kỹ thuật ống dẫn đơn giản
* Ưu điểm
* Độ hữu hiệu của kỹ thuật siêu ống dẫn tương đương với việc thi hành n lệnh trong mỗi chu kỳ Tc
* Trong một chu kỳ Tc, máy dung kỹ thuật siêu ống dẫn làm 2 lệnh thay vì 1 lệnh trong máy dung kỹ thuật ống dẫn bình thường
* Trong máy tính siêu ống dẫn, tốc độ thực hiện lệnh tương đương với việc thực hiện một lệnh trong khoảng thời gian Tc/n.
* Nhược điểm :
* Thời gian thực hiện một giai đoạn con ngắn Tc/n và việc trì hoãn trong thi hành lệnh nhảy lớn.
* Nếu lệnh thứ i là một lệnh nhảy tương đối thì lệnh này được giải mã trong giai đoạn DE, địa chỉ nhảy đến được tính vào giai đoạn EX, lệnh phải nhảy tới là lệnh thứ i+4, vậy có trì trệ 3 lệnh thay vì 1 lệnh trong kỹ thuật ống dẫn bình thường